

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANTS : Ho-In Kim et al.
SERIAL NO. : Not Yet Assigned
FILED : April 16, 2004
FOR : GAIN-CLAMPED SEMICONDUCTOR OPTICAL AMPLIFIER

PETITION FOR GRANT OF PRIORITY UNDER 35 USC 119

MAIL STOP PATENT APPLICATION
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA. 22313-1450

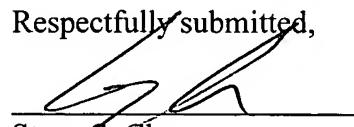
Dear Sir:

Applicant hereby petitions for grant of priority of the present Application on the basis of the following prior filed foreign Application:

<u>COUNTRY</u>	<u>SERIAL NO.</u>	<u>FILING DATE</u>
Republic of Korea	2003-70670	October 10, 2003

To perfect Applicant's claim to priority, a certified copy of the above listed prior filed Application is enclosed. Acknowledgment of Applicant's perfection of claim to priority is accordingly requested.

Respectfully submitted,



Steve S. Cha
Attorney for Applicant
Registration No. 44,069

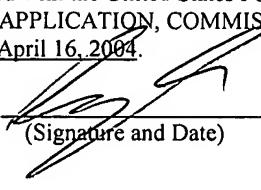
CHA & REITER
210 Route 4 East, #103
Paramus, NJ 07652
(201) 226-9245

Date: April 16, 2004

Certificate of Mailing Under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to MAIL STOP PATENT APPLICATION, COMMISSIONER FOR PATENTS, P. O. BOX 1450, ALEXANDRIA, VA. 22313-1450 on April 16, 2004.

Steve S. Cha, Reg. No. 44,069
Name of Registered Rep.)



(Signature and Date)



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0070670
Application Number

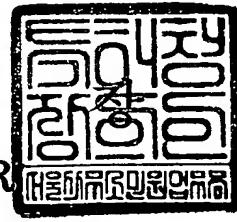
출 원 년 월 일 : 2003년 10월 10일
Date of Application OCT 10, 2003

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 10 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003. 10. 10
【국제특허분류】	G02B
【발명의 명칭】	이득 고정된 반도체 광증폭기
【발명의 영문명칭】	GAIN CLAMPED SEMICONDUCTOR OPTICAL AMPLIFIER
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	김호인
【성명의 영문표기】	KIM, Ho In
【주민등록번호】	710715-1622411
【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 331번지
【국적】	KR
【발명자】	
【성명의 국문표기】	이정석
【성명의 영문표기】	LEE, Jeong Seok
【주민등록번호】	680511-1657724
【우편번호】	431-050
【주소】	경기도 안양시 동안구 비산동 1104 은하수 청구아파트 106-805
【국적】	KR
【발명자】	
【성명의 국문표기】	윤인국
【성명의 영문표기】	YUN, In Kuk

【주민등록번호】 730307-1347916
【우편번호】 440-200
【주소】 경기도 수원시 장안구 조원동 조원주공아파트 201동 705호
【국적】 KR
【발명자】

【성명의 국문표기】	신현철
【성명의 영문표기】	SHIN,Hyun Cheol
【주민등록번호】	741008-1897319
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1055-13
【국적】	KR

【발명자】

【성명의 국문표기】	김승우
【성명의 영문표기】	KIM,Seung Woo
【주민등록번호】	770220-1148415
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 10-11 402호
【국적】	KR

【발명자】

【성명의 국문표기】	황성택
【성명의 영문표기】	HWANG,Seong Taek
【주민등록번호】	650306-1535311
【우편번호】	459-707
【주소】	경기도 평택시 독곡동 대림아파트 102-303
【국적】	KR

【심사청구】

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이건주 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	11	면	11,000	원

1020030070670

출력 일자: 2003/11/14

【우선권주장료】	0	건	0	원
【심사청구료】	12	항	493,000	원
【합계】	533,000			원

【요약서】**【요약】**

본 발명에 따른 이득 고정된 반도체 광증폭기는, 내부로 입력된 광신호를 증폭시키기 위한 이득 도파로와; 상기 이득 도파로와 접하며 제1 단부에 배치된 제1 격자를 구비하는 격자층을 포함한다.

【대표도】

도 4

【색인어】

반도체 광증폭기, 이득 도파로, 격자층, 이득 고정

【명세서】**【발명의 명칭】**

이득 고정된 반도체 광증폭기{GAIN CLAMPED SEMICONDUCTOR OPTICAL AMPLIFIER}

【도면의 간단한 설명】

도 1은 종래의 DFB 반도체 광증폭기의 구성을 개략적으로 나타낸 측단면도,

도 2는 종래의 베트 조인트 방식의 DBR 반도체 광증폭기의 구성을 개략적으로 나타낸 측단면도,

도 3은 종래의 이중 도파로 방식의 DBR 반도체 광증폭기의 구성을 개략적으로 나타낸 측단면도,

도 4는 본 발명의 바람직한 제1 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도,

도 5는 SIG 방식에 따른 BH 구조를 갖는 반도체 광증폭기를 설명하기 위한 정단면도,

도 6은 WIG 방식에 따른 럿지 구조를 갖는 반도체 광증폭기를 설명하기 위한 정단면도,

도 7은 WIG 방식에 따른 리브 구조를 갖는 반도체 광증폭기를 설명하기 위한 정단면도,

도 8a는 본 발명의 바람직한 제2 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도,

도 8b는 도 8a에 도시된 반도체 광증폭기의 평면도,

도 9는 도 8a에 도시된 반도체 광증폭기의 레이징 모드를 나타내는 그래프,

도 10a는 본 발명의 바람직한 제3 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도,

도 10b는 도 10a에 도시된 반도체 광증폭기의 평면도,

도 11은 도 10a에 도시된 반도체 광증폭기의 레이징 모드를 나타내는 그래프,

도 12는 본 발명의 바람직한 제4 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도,

도 13은 도 12에 도시된 반도체 광증폭기의 레이징 모드를 나타내는 그래프,

도 14는 도 12에 도시된 반도체 광증폭기의 이득 특성을 나타내는 그래프,

도 15는 본 발명의 바람직한 제5 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 광신호를 증폭하는 반도체 광증폭기에 관한 것으로, 특히 출력 광신호의 이득이 항상 일정한 이득 고정된 반도체 광증폭기에 관한 것이다.

<19> 반도체 광증폭기는 이득 포화 영역에 도달하면 채널간 상호 간섭 현상이 발생하여 증폭기로서의 역할을 수행할 수 없다. 이러한 이득 포화 현상을 억제하기 위해, 반도체 광증폭기 내에 레이징을 유도하여 상기 광증폭기의 이득을 고정시키는 방식이 적용되고 있다.

- <20> 반도체 광증폭기의 이득을 고정시키기 위해 사용하는 레이징 방법들로는 크게 DFB(distributed feedback) 방식과 DBR(distributed Bragg reflector) 방식을 예로 들 수 있다.
- <21> 도 1은 종래의 DFB 반도체 광증폭기의 구성을 개략적으로 나타낸 측단면도이다. 상기 반도체 광증폭기(100)는 기판(110)과, 격자층(120)과, 이득 도파로(130)와, 클래드(140)를 포함한다.
- <22> 상기 격자층(120)은 상기 기판(110) 상에 적층되며, 전체 길이에 대하여 일정한 주기를 갖는 격자(125)를 포함한다. 상기 이득 도파로(130)는 상기 격자층(120) 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 클래드(140)는 상기 이득 도파로(130) 상에 적층된다. 상기 클래드(140) 및 격자층(120)은 상기 이득 도파로(130)의 굴절률보다 낮기 때문에, 상기 광신호는 상기 이득 도파로(130) 내에 가두어 진다.
- <23> 그러나, 상기 DFB 반도체 광증폭기(100)는 전자 밀도와 광자 밀도가 전류 인가 및 광신호 입력에 따라 변하는 상기 이득 도파로(130)에 접하도록 상기 격자층(120)이 형성되어 있기 때문에 상기 격자(125)의 유효 격자 주기가 이러한 외부 요인들에 따라 바뀐다. 상기 격자(125)의 유효 격자 주기가 바뀌면 상기 격자(125)에 의한 레이징이 안정화되지 못한다. 이렇게 되면 상기 반도체 광증폭기(100)의 이득 특성도 불안하게 되어 원래 의도하였던 고정된 이득 특성을 얻기 어렵게 된다.
- <24> 이와 다른 방식으로서 종래의 DBR 방식은 이득 도파로에 접하는 수동 도파로를 형성하고 상기 수동 도파로의 아래에 격자를 배치하는 것이다. 즉, 상기 수동 도파로의 아래에 상기 격자를 포함하는 격자층이 배치된다. DBR 방식은 격자가 수동 도파로의 아래에 배치되어 있어서 전류 인가에 따른 전자 밀도의 변화를 겪지 않으며, 이로 인해 유효 격자 주기가 쉽게 바뀌지

않는다. 이에 따라 안정된 레이징을 구현할 수 있고, 반도체 광 증폭기의 이득 특성도 안정하게 되는 이점이 있다. 그러나, 상기 이득 도파로 및 수동 도파로의 구성 및 제작이 전술한 DFB 방식에 비해 상대적으로 어렵고 이득 도파로와 수동 도파로간의 광결합 손실이 있기 때문에, 반도체 광증폭기의 특성을 저하시킨다. DBR 반도체 광증폭기에서 이득 도파로에 접하는 수동 도파로를 형성하는 방법들로는 대표적으로 베트 조인트 방식과 이중 도파로 방식을 들 수가 있다.

<25> 도 2는 종래의 베트 조인트 방식의 DBR 반도체 광증폭기의 구성을 개략적으로 나타낸 측 단면도이다. 상기 반도체 광증폭기(200)는 기판(210)과, 격자층(220)과, 이득 도파로(240)와, 제1 및 제2 수동 도파로(230,235)와, 클래드(250)를 포함한다.

<26> 상기 격자층(220)은 상기 기판(210) 상에 적층되며, 제1 및 제2 단부에 제1 및 제2 격자들(222,224)을 포함한다. 상기 이득 도파로(240)는 상기 제1 및 제2 격자들(222,224)과 접하지 않도록 상기 격자층(220) 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 제1 수동 도파로(230)는 상기 이득 도파로(240)의 일단과 접하도록 상기 격자층(220) 상에 적층되며, 상기 제2 수동 도파로(235)는 상기 이득 도파로(240)의 타단과 접하도록 상기 격자층(220) 상에 적층된다. 상기 클래드(250)는 상기 이득 도파로(240)와 상기 제1 및 제2 수동 도파로(230,235) 상에 적층된다. 상기 클래드(250) 및 격자층(220)은 상기 이득 도파로(240) 및 수동 도파로들(230,235)의 굴절률들보다 낮은 굴절률들을 갖는다.

<27> 그러나, 상기 베트 조인트 방식의 DBR 반도체 광증폭기(200)는 제작하기 어려우며, 상기 이득 도파로(240)와 상기 각 수동 도파로(230,235)의 접합 부분에서 반사가 발생하는 것을 피 할 수 없고, 광결합 효율도 완전하지 않아서 상기 반도체 광증폭기(200)의 특성을 저하시키는 문제점이 있다.

<28> 도 3은 종래의 이중 도파로 방식의 DBR 반도체 광증폭기의 구성을 개략적으로 나타낸 측 단면도이다. 상기 반도체 광증폭기(300)는 기판(310)과, 격자층(320)과, 수동 도파로(330)와, 이득 도파로(340)와, 클래드(350)를 포함한다.

<29> 상기 격자층(320)은 상기 기판(310) 상에 적층되며, 그 양단부에 제1 및 제2 격자들 (322, 324)을 포함한다. 상기 수동 도파로(330)는 상기 격자층(320) 상에 적층된다. 상기 이득 도파로(340)는 상기 수동 도파로(330)보다 짧은 길이로 상기 수동 도파로(330)의 중심부 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 클래드(350)는 상기 이득 도파로(340)를 둘러싸도록 적층된다. 상기 격자층(320) 및 클래드(350)는 상기 이득 도파로(340) 및 수동 도파로(330)의 굴절률보다 낮은 굴절률을 갖는다. 상기 수동 도파로(330)의 일단으로 입력된 광 신호는 그 내부를 진행하다가, 상기 이득 도파로(340)로 전이되어 이득을 얻고, 다시 상기 수동 도파로(330)로 전이되어 그 타단을 통해 출력된다.

<30> 그러나, 상기 이중 도파로 방식의 DBR 반도체 광증폭기(300)는 상기 이득 도파로(340)와 상기 수동 도파로(330)간의 광결합 효율에 한계가 있기 때문에 상기 반도체 광증폭기(300)의 특성을 저하시키는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명은 상술한 종래의 문제점을 해결하기 위하여 안출한 것으로서, 본 발명의 목적은 이득 도파로와 수동 도파로를 별도로 구성하지 않고 하나의 이득 도파로만으로 구성하면서도 안정된 레이징을 구현할 수 있는 반도체 광증폭기를 제공하는데 있다.

<32> 상기한 목적들을 달성하기 위하여 본 발명에 따른 이득 고정된 반도체 광증폭기는, 내부로 입력된 광신호를 증폭시키기 위한 이득 도파로와; 상기 이득 도파로와 접하여 제1 단부에 배치된 제1 격자를 구비하는 격자층을 포함한다.

【발명의 구성 및 작용】

<33> 이하에서는 첨부도면들을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다. 본 발명을 설명함에 있어서, 관련된 공지기능, 혹은 구성에 대한 구체적인 설명은 본 발명의 요지를 모호하지 않게 하기 위하여 생략한다.

<34> 도 4는 본 발명의 바람직한 제1 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도이다. 상기 반도체 광증폭기(400)는 기판(410)과, 격자층(420)과, 이득 도파로(430)와, 클래드(440)와, 제1 및 제2 무반사층(450, 455)을 포함한다.

<35> 상기 격자층(420)은 상기 기판(410) 상에 적층되며, 그 양단부에 제1 및 제2 격자들(422, 424)을 포함한다. 상기 이득 도파로(430)는 상기 제1 및 제2 격자들(422, 424)과 접하도록 상기 격자층(420) 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 클래드(440)는 상기 이득 도파로(430) 상에 적층된다. 상기 클래드(440)의 굴절률은 상기 이득 도파로(430)의 굴절률보다 낮다. 상기 제1 무반사층(450)은 상기 반도체 광증폭기(400)의 제1 단에 코팅되고, 상기 제2 무반사층(455)은 상기 반도체 광증폭기(400)의 제2 단에 코팅된다.

<36> 상기 이득 도파로(430)는 InGaAs, InGaAsP, InGaAlAs, AlGaAs, InAlAs 등 화합물 반도체 레이저에 사용되는 다양한 물질들로 구성될 수 있다. 상기 이득 도파로(430)는 다른 화합물 반도체 레이저와 마찬가지로 DH(Double Hetero) 구조, SCH(Separate Confinement Hetero) 구조

, 다중 양자 우물 구조 등을 가질 수 있다. 상기 클래드(440)는 상기 이득 도파로(430)에 따라 InP, GaAs 등 상기 이득 도파로(430)와 에피택셜(epitaxial) 성장이 가능하고 굴절율이 더 낮은 물질로 구성될 수 있다. 상기 격자층(420)은 상기 클래드(440)와 다른 굴절율을 갖는 물질의 주기적인 배열, 또는 상기 클래드(440)와 다른 굴절율을 주기적으로 유도하는 구조 등으로 구성될 수 있다.

<37> 상기 반도체 광증폭기(400)는 DBR 방식을 따르지만 종래의 이중 도파로 또는 버트 조인트 방식과는 달리 상기 이득 도파로(430)가 상기 제1 및 제2 격자들(422, 424)과 접하고 있어서, 전류 인가 및 광신호 입력에 따른 유효 굴절률의 변화가 DFB 방식에 비하여 상대적으로 적다. 유효 굴절율 변화에 따라 레이징 모드가 변하는 경우에도 스탑 밴드(stop band)를 갖는 DFB 방식처럼 급격하게 변하지 않기 때문에, 상기 반도체 광증폭기(400)의 이득 특성에도 급격한 변화를 주지 않는다. 상기 반도체 광증폭기(400)는 수동 도파로를 필요로 하지 않기 때문에, 이득 도파로와 수동 도파로간의 광결합 과정에서 발생하는 손실 및 반사가 없다. 상기 제1 및 제2 격자(422, 424)가 반드시 대칭적으로 형성될 필요는 없다. 상기 제1 격자(422)와 상기 제2 격자(424)의 반사율들을 다르게 하면, 광신호에 대한 입력측과 출력측에서 광자 밀도 및 전하 밀도를 다르게 하는 것이 가능하고, 원하는 출력특성을 얻기 위해 이를 조절할 수 있다. 예를 들어, 상기 제1 격자(422)의 반사율을 상기 제2 격자(424)에 비해 더 크게 하면, 상기 이득 도파로(430) 내의 광자 밀도는 출력측에서 더 높고 전하 밀도는 입력측에서 더 높게 된다. 이처럼 입력측에서 전하밀도가 높은 경우는 입력측에 의해 더 큰 영향을 받는 반도체 광증폭기의 잡음 특성을 개선하는데 바람직하다. 같은 이유로, 입력측의 경우에 상기 제1 격자(422)를 상기 반도체 광증폭기(400)의 제1 단에 가깝게 붙여서 형성하는 것이 더 바람직하다.

상기 제1 단으로부터 조금 떨어뜨려 상기 제1 격자(422)를 형성하면 상기 제1 단과 상기 제1 격자(422) 사이의 구간에서 전하 밀도가 감소하기 때문이다.

<38> 본 발명의 이득 도파로는 그 내부로 진행하는 모드를 너비 방향으로 어떻게 가두어 주는가에 따라 분류되는 SIG(Strongly Index-Guiding) 방식과 WIG(Weakly Index-Guiding) 방식에 적용될 수 있다. SIG 방식은 이득 도파로를 일정한 범위의 너비로 제작하고, 너비 방향으로 이득 도파로를 보다 낮은 굴절율을 갖는 클래드로 감싸서 모드를 가두는 방식이다. 이러한 방식에 따른 구조는 상기 이득 도파로가 클래드로 감싸져 있기 때문에 BH(Buried Hetero) 구조라고도 불린다.

<39> 도 5는 SIG 방식에 따른 BH 구조를 갖는 반도체 광증폭기를 설명하기 위한 정단면도이다. 상기 반도체 광증폭기(500)는 기판(510)과, 격자층(520)과, 이득 도파로(530)와, 제1 및 제2 전류 차단층들(562, 564)과, 클래드(540)를 포함한다.

<40> 상기 격자층(520)은 상기 기판(510) 상에 적층되며, 그 양단부에 제1 및 제2 격자들(미 도시)이 형성된다. 상기 이득 도파로(530)는 상기 제1 및 제2 격자들과 접하도록 상기 격자층(520)의 중심부 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 제1 및 제2 전류 차단층들(562, 564)은 상기 이득 도파로(530)의 양측면에 접하도록 상기 격자층(520) 상에 적층된다. 상기 클래드(540)는 상기 제1 및 제2 전류 차단층들(562, 564)과 상기 이득 도파로(530) 상에 적층된다. 상기 제1 및 제2 전류 차단층들(562, 564)은 상기 이득 도파로(530)를 감싸는 클래드 역할을 하면서 동시에 인가된 전류가 상기 이득 도파로(530)로 집중되도록 하는 역할을 한다. 상기 클래드(540), 그리고 제1 및 제2 전류 차단층들(562, 564)의 굴절률들은 상기 이득 도파로(530)의 굴절률보다 낮다.

<41> WIG 방식은 이득 도파로를 일정한 범위의 너비를 갖는 도파로로 가공하지 않고 층구조로 유지하되, 격자층 또는 이득 도파로에서 모드가 지나는 부분의 두께를 조정함으로써, 유효 굴절율 차이를 유도하여 상기 모드를 가두는 방식이다. 이러한 WIG 방식에 따른 구조는 크게 럿지(ridge) 구조와 리브(rib) 구조로 분류된다.

<42> 도 6은 WIG 방식에 따른 럿지 구조를 갖는 반도체 광증폭기를 설명하기 위한 정단면도이다. 상기 반도체 광증폭기(600)는 기판(610)과, 격자층(620)과, 이득 도파로(630)와, 클래드(640)를 포함한다.

<43> 상기 격자층(620)은 상기 기판(610) 상에 적층되며, 그 양단부에 제1 및 제2 격자들(미도시)이 형성된다. 상기 이득 도파로(630)는 상기 제1 및 제2 격자들과 접하도록 상기 격자층(620)의 중심부 상에 적층되며, 그 내부로 입력된 광을 증폭한다. 상기 클래드(640)는 상기 이득 도파로(630) 상에 적층되며, 모드가 지나는 중심 부분에서 위로 돌출된 럿지(645)를 포함한다. 상기 클래드(640)의 굴절률은 상기 이득 도파로(630)의 굴절률보다 낮다.

<44> 도 7은 WIG 방식에 따른 리브 구조를 갖는 반도체 광증폭기를 설명하기 위한 정단면도이다. 상기 반도체 광증폭기(700)는 기판(710)과, 격자층(720)과, 이득 도파로(730)와, 클래드(740)를 포함한다.

<45> 상기 격자층(720)은 상기 기판(710) 상에 적층되며, 그 양단부에 제1 및 제2 격자들(미도시)이 형성된다. 상기 이득 도파로(730)는 상기 제1 및 제2 격자들과 접하도록 상기 격자층(720)의 중심부 상에 적층되며, 모드가 지나는 중심 부분에서 위로 돌출된 리브(735)를 포함한다. 상기 이득 도파로(730)는 그 내부로 입력된 광신호를 증폭한다. 상기 클래드(740)는 상기 이득 도파로(730) 상에 적층된다. 상기 클래드(740)의 굴절률은 상기 이득 도파로(730)의 굴절률보다 낮다.

- <46> WIG 방식은 이득 도파로를 식각하고 재성장하는 과정을 거치지 않기 때문에 식각 및 재성장 공정이 어려운 AI계 화합물 반도체에 사용하는 것이 바람직하다.
- <47> 반도체 광증폭기의 제1 및 제2 단들에서의 반사에 의한 이득 리플(gain ripple)을 줄이는 것이 안정된 이득 특성을 얻는데 중요하다. 상기 제1 및 제2 단들에서의 반사를 줄이기 위해 상기 제1 및 제2 단들을 무반사 코팅 처리할 수 있다. 반사를 줄이기 위한 추가적인 수단으로서, 이득 도파로를 상기 제1 및 제2 단들의 공통 법선과 일정한 각도를 이루도록 틀어 줄 수 있다. 반사를 줄이기 위한 또 다른 수단으로서, 상기 제1 및 제2 단들과 상기 이득 도파로를 다소 격리시킬 수 있다. 이렇게 하면 상기 이득 도파로를 벗어난 광신호가 상기 제1 또는 제2 단에서 반사되어 다시 상기 이득 도파로로 들어가는 비율이 줄어 든다.
- <48> 통상적으로, 반도체 광증폭기는 단일 모드 광섬유와 광학적으로 결합된 제1 단을 통해 내부로 입력된 광신호를 증폭한 후 다시 제2 단과 광학적으로 결합된 단일 모드 광섬유에 상기 광신호를 전달해 주어야 하기 때문에, 단일 모드 광섬유와의 결합 효율을 개선하는 것이 중요하다. 이를 위해서, 통상적으로 단일 모드 광섬유에 비해 작은 모드 크기를 갖는 상기 반도체 광증폭기의 모드 크기를 키워 주는 모드 변환 영역들을 상기 이득 도파로의 양단부에 형성해 주는 것이 바람직하다. 모드 변환 영역을 구비하지 않더라도 상기 이득 도파로의 너비를 크게 하고 두께를 매우 얇게 하면, 모드를 효과적으로 확장할 수 있고 모드 변환 영역 설치에 따른 격자층의 배치를 고민하지 않아도 된다.
- <49> 격자층의 유효 격자 주기는 격자의 반사에 의한 레이저 발진 파장을 결정한다. 보통은 반도체 광증폭기의 최대 이득 파장보다 10~80nm 얇은 파장 범위에서 사용하는 광신호의 파장 범위를 피해서 격자 주기를 결정한다. 격자의 형성 길이는 두께, 구성 물질 그리고 구성 방식에 따라 다를 수 있다. 제1 및 제2 격자를 서로 다른 길이로 형성하는 경우에, 상기 제1 격자

의 길이를 이득총 전체 길이의 3~50% 정도로 결정할 수 있고, 상기 제2 격자의 길이를 0에서부터 상기 제1 격자의 길이까지 원하는 특성에 따라 결정할 수 있다.

<50> 도 8a는 본 발명의 바람직한 제2 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도이고, 도 8b는 도 8a에 도시된 반도체 광증폭기의 평면도이며, 도 9는 도 8a에 도시된 반도체 광증폭기의 레이징 모드를 나타내는 그래프이다. 상기 반도체 광증폭기(800)는 기판(810)과, 격자층(820)과, 이득 도파로(830)와, 클래드(840)를 포함한다.

<51> 상기 격자층(820)은 상기 기판(810) 상에 적층되며, 그 양단부에 배치된 제1 및 제2 격자들(822,824)을 포함한다. 상기 제1 격자(822)는 상기 반도체 광증폭기(800)의 제1 단과 이격되어 있고, 상기 제2 격자(824)는 상기 반도체 광증폭기(800)의 제2 단과 이격되어 있다. 상기 이득 도파로(830)는 상기 제1 및 제2 격자들(822,824)과 접하도록 상기 격자층(820) 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 이득 도파로(830)는 그 양단부에 제1 및 제2 모드 변환 영역(832,834)을 포함하며, 상기 제1 모드 변환 영역(832)에서 상기 이득 도파로(830)는 상기 반도체 광증폭기(800)의 제1 단으로 갈수록 그 폭이 좁아지며, 상기 제2 모드 변환 영역(834)에서 상기 이득 도파로(830)는 상기 반도체 광증폭기(800)의 제2 단으로 갈수록 그 폭이 좁아진다. 상기 제1 및 제2 격자들(822,824)은 상기 제1 및 제2 모드 변환 영역들(832,834)과 겹치지 않는다. 상기 클래드(840)는 상기 이득 도파로(830) 상에 적층된다. 상기 클래드(840)의 굴절률은 상기 이득 도파로(830)의 굴절률보다 낮다.

<52> 상기 반도체 광증폭기(800)는 BH 구조를 가지며, BH 구조에서 상기 각 모드 변환 영역(832,834)의 이득 도파로(830)는 도시된 바와 같이 상기 반도체 광증폭기(800)의 해당 끝단으로 갈수록 줄어들거나, 또는 반대로 넓어질 수 있고, 너비 대신 상기 이득 도파로(830)의 두께가 변화될 수 있다. 도 9에 도시된 바와 같이, 상기 반도체 광증폭기(800)는 SMSR이 높은 레이

정 모드를 출력함을 알 수 있다. 이 때, 입력 전류는 200mA, 분해능은 0.1nm, SMSR은 38dB이다.

<53> WIG 방식의 리브 구조나 럿지 구조에서도 마찬가지로 리브나 럿지의 너비 및/또는 두께를 변화시켜 모드 변환 영역을 구성한다. 어떤 경우이든 모드 변환 영역에서 이득 도파로의 크기가 변하므로 유효 굴절율은 변하게 된다. 격자가 모드 변환 영역과 적어도 일부 겹치도록만 들어 주면, 모드 변환 영역에서 유효 격자 주기는 일정하지 않고 유효 굴절율 변화에 따라 변하게 된다. 이를 첨 격자(chirped grating)라고 한다. 격자에 의한 레이징 모드는 유효 격자 주기가 일정하면 이 주기에 해당하는 모드가 주로 발진하는데 비해, 첨 격자에서는 일정 범위의 유효 격자 주기에 해당하는 여러 개의 모드가 동시에 발진하기 때문에 SMSR(Side Mode Suppression Ratio)이 좋지 않게 된다. SMSR이 좋지 않은 경우에 반도체 광증폭기의 주 레이징 모드와 인접한 레이징 모드 사이의 간섭으로 FWM(Four wave mixing)이 일어나므로 상기 반도체 광증폭기 특성을 저하시킬 수 있다. 이런 첨 효과에 의한 FWM과 같은 효과를 피하기 위해서 격자를 모드 변환 영역과 겹치지 않게 모드 변환 영역에 인접하게 구성하면, SMSR이 높은 안정된 레이징 모드를 얻을 수 있고 FWM을 억제할 수 있다.

<54> 도 10a는 본 발명의 바람직한 제3 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도이고, 도 10b는 도 10a에 도시된 반도체 광증폭기의 평면도이며, 도 11은 도 10a에 도시된 반도체 광증폭기의 레이징 모드를 나타내는 그래프이다. 상기 반도체 광증폭기(900)는 기판(910)과, 격자층(920)과, 이득 도파로(930)와, 클래드(940)를 포함한다.

<55> 상기 격자층(920)은 상기 기판(910) 상에 적층되며, 그 양단부에 배치된 제1 및 제2 격자들(922, 924)을 포함한다. 상기 제1 격자(922)는 상기 반도체 광증폭기(900)의 제1 단과 이격되어 있고, 상기 제2 격자(924)는 상기 반도체 광증폭기(900)의 제2 단과 이격되어 있다. 상기

이득 도파로(930)는 상기 제1 및 제2 격자들(922, 924)과 접하도록 상기 격자층(920) 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 이득 도파로(930)는 그 양단부에 제1 및 제2 모드 변환 영역들(932, 934)을 포함하며, 상기 제1 모드 변환 영역(932)에서 상기 이득 도파로(930)는 상기 반도체 광증폭기(900)의 제1 단으로 갈수록 그 폭이 좁아지며, 상기 제2 모드 변환 영역(934)에서 상기 이득 도파로(930)는 상기 반도체 광증폭기(900)의 제2 단으로 갈수록 그 폭이 좁아진다. 상기 제1 격자(922)는 상기 제1 모드 변환 영역(932)과 일부 겹쳐 있으며, 상기 제2 격자(924)는 상기 제2 모드 변환 영역(934)과 일부 겹쳐 있다. 상기 클래드(940)는 상기 이득 도파로(930) 상에 적층된다. 상기 클래드(940)의 굴절률은 상기 이득 도파로(930)의 굴절률보다 낮다. 도 11에 도시된 바와 같이, 상기 반도체 광증폭기(900)는 SMSR이 악화된 레이징 모드를 출력함을 알 수 있다. 상기 각 모드 변환 영역(932, 934)과 해당 격자(922, 924)가 겹쳐있기 때문에, 첨 효과가 발생하며, 이로 인해 레이징 모드의 SMSR이 악화되고 FWM 현상이 심화된다. 이 때, 입력 전류는 200mA, 분해능은 0.1nm, SMSR은 13dB이다.

<56> 그렇지만, 위의 경우에는 비슷한 크기의 레이징 모드들이 서로 경쟁하기 때문에 상기 이득 도파로(930) 내부 전하 밀도 변화에 따른 유효 격자 주기 변화에도 레이징 모드의 변화가 급격하지 않다. 이는 상기 반도체 광증폭기(900)의 이득 특성을 안정화시키는데 기여할 수 있다. 예를 들어, 상기 반도체 광증폭기(900)에 입력되는 광신호의 세기가 커져서 포화 영역 근처에 다다르면, 상기 이득 도파로(930) 내의 광자 밀도가 증가하여 전하가 소진되는 SHB(spatial hole burning) 효과가 나타난다. 이 때 주로 레이징 모드의 변화가 일어나는데 SMSR이 큰 경우는 이 변화가 급격해서 출력 광신호에 따른 이득 특성을 그려 보면 포화 영역 부근에서 이득의 변동이 심하게 된다. SMSR이 적은 경우 이 변화가 급격하지 않기 때문에 상대적으로 이득의 변동이 완만하다. 이처럼 격자를 모드 변환 영역을 피해서 설치하느냐 아니면

겹침을 허용하느냐의 문제는 FWM과 이득 특성의 안정화와 관련해서 서로 보상 관계에 있기 때문에 원하는 반도체 광증폭기의 특성에 따라 겹침을 피하든지 아니면 겹침의 정도를 조정하는 것이 필요하다.

<57> 도 12는 본 발명의 바람직한 제4 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도이고, 도 13은 도 12에 도시된 반도체 광증폭기의 레이징 모드를 나타내는 그래프이며, 도 14는 도 12에 도시된 반도체 광증폭기의 이득 특성을 나타내는 그래프이다. 상기 반도체 광증폭기(1000)는 기판(1010)과, 격자층(1020)과, 이득 도파로(1030)와, 클래드(1040)와, 제1 및 제2 무반사층(1050, 1055)을 포함한다.

<58> 상기 격자층(1020)은 상기 기판(1010) 상에 적층되며, 그 일단부에 배치된 격자(1025)를 포함한다. 상기 이득 도파로(1030)는 상기 격자(1025)와 접하도록 상기 격자층(1020) 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 클래드(1040)는 상기 이득 도파로(1030) 상에 적층된다. 상기 클래드(1040)의 굴절률은 상기 이득 도파로(1030)의 굴절률보다 낮다. 상기 제1 무반사층(1050)은 상기 반도체 광증폭기(1000)의 제1 단에 코팅되고, 상기 제2 무반사층(1055)은 상기 반도체 광증폭기(1000)의 제2 단에 코팅된다. 도 13에는, 상기 반도체 광증폭기(1000)에 200mA의 전류를 인가한 경우의 레이징 모드를 나타내는 그래프가 도시되어 있다. 도 14에는, 상기 반도체 광증폭기(1000)에 200mA의 전류를 인가하고 1550nm 파장의 광신호를 입력시킨 경우의 이득 특성을 나타내는 그래프가 도시되어 있다.

<59> 상기 반도체 광증폭기(1000)는 입력측과 출력측의 반사율 차이를 최대로 하여 입력측의 전하 밀도 분포를 극대화할 수 있기 때문에 잡음 특성을 크게 향상시킬 수 있다. 상기 반도체 광증폭기(1000)도 상술한 다른 실시예들처럼 입력측과 출력측에 모드 변환 영역들을 포함할 수 있다.

<60> 도 15는 본 발명의 바람직한 제5 실시예에 따른 이득 고정된 반도체 광증폭기의 구성을 나타내는 측단면도이다. 상기 반도체 광증폭기(1100)는 기판(1110)과, 격자층(1120)과, 이득 도파로(1130)와, 클래드(1140)와, 무반사층(1150)과, 고반사층(1155)을 포함한다.

<61> 상기 격자층(1120)은 상기 기판(1110) 상에 적층되며, 상기 반도체 광증폭기(1100)의 제1 단에 접한 일단부에 배치된 격자(1125)를 포함한다. 상기 이득 도파로(1130)는 상기 격자(1125)와 접하도록 상기 격자층(1120) 상에 적층되며, 그 내부로 입력된 광신호를 증폭한다. 상기 클래드(1140)는 상기 이득 도파로(1130) 상에 적층된다. 상기 클래드(1140)의 굴절률은 상기 이득 도파로(1130)의 굴절률보다 낮다. 상기 무반사층(1150)은 상기 반도체 광증폭기(1100)의 제1 단에 코팅되고, 상기 고반사층(1155)은 상기 반도체 광증폭기(1100)의 제2 단에 코팅된다. 상기 반도체 광증폭기(1100)의 제1 단은 광신호에 대한 입출력측이 된다. 즉, 상기 반도체 광증폭기(1100)의 제1 단으로 입력된 광신호는 다시 상기 제1 단으로부터 출력된다.

<62> 상기 반도체 광증폭기(1100)와 같은 구조를 갖는 소자를 반사형 이득 고정형 반도체 광증폭기라고 하는데, 하나의 광섬유로부터 광신호를 입력받아 증폭한 후 동일한 광섬유로 광신호를 출력하게 된다. 즉, 상기 반도체 광증폭기(1100)의 제1 단을 통해 광신호가 입출력된다. 이렇게 하면, 입력 광신호와 출력 광신호의 전달을 하나의 광섬유가 담당하기 때문에, 광섬유의 사용량을 절반으로 줄일 수 있다. 또한, 광섬유와 상기 반도체 광증폭기(1100)의 정렬을 1번만 하면 되기 때문에 소자를 만드는 시간과 비용을 절감할 수 있는 이점이 있다. 상기 무반사층(1150)은 입력 광신호와 출력 광신호의 반사를 줄이는 기능을 한다. 반사를 줄이기 위한 추가적인 장치로 상기 이득 도파로(1130)를 상기 제1 단의 법선과 일정한 각도를 갖도록 틀어 줄 수 있다. 반사를 줄이기 위한 또 다른 장치로, 상기 제1 단과 일정한 거리만큼 떨어진 곳에서부터 상기 이득 도파로(1130)가 시작되도록 구성할 수 있다. 또한, 상기 반도체 광증폭기

(1100)의 제2 단은 반사를 높여야 하기 때문에, 상기 고반사층(1155)이 코팅되며 이와 접한 상기 이득 도파로(1130)의 단부를 상기 제2 단과 직각을 이루도록 형성하는 것이 바람직하다. 광섬유와의 결합 효율은 입출력측에서만 고려하기 때문에, 결합효율을 개선하기 위한 모드 변환 영역은 상기 반도체 광증폭기(1100)의 제1 단에 접한 상기 이득 도파로(1130)의 단부에만 형성하는 것이 바람직하다. 즉, 상기 광섬유와 결합을 하지 않는 상기 반도체 광증폭기(1100)의 제2 단에 접한 상기 이득 도파로(1130)의 단부에는 모드 변환 영역을 형성할 필요가 없다.

【발명의 효과】

<63> 상술한 바와 같이, 본 발명에 따른 이득 고정된 반도체 광증폭기는 이득 도파로의 양단부 혹은 일단부에만 격자를 형성함으로써 상기 반도체 광증폭기의 이득 고정에 필요한 레이징을 안정적으로 구현할 수 있다는 이점이 있다.

<64> 또한, 본 발명에 따른 이득 고정된 반도체 광증폭기는 수동 도파로를 필요로 하지 않기 때문에 수동 도파로를 별도로 제작하는데 따른 추가 공정이 필요 없다는 이점이 있다. 더욱이, 이득 도파로와 수동 도파로간 광 결합 효율 저하에 따른 상기 반도체 광증폭기의 특성 저하 요인도 없다는 이점이 있다. 따라서, 간단한 제작 공정으로 안정된 이득 고정 특성을 갖는 반도체 광증폭기를 제작할 수 있다는 이점이 있다.

【특허청구범위】**【청구항 1】**

이득 고정된 반도체 광증폭기에 있어서,

내부로 입력된 광신호를 증폭시키기 위한 이득 도파로와;

상기 이득 도파로와 접하며 제1 단부에 배치된 제1 격자를 구비하는 격자층을 포함함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 2】

제1항에 있어서,

상기 격자층은 상기 이득 도파로와 접하며 제2 단부에 배치된 제2 격자를 더 포함함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 3】

제1항에 있어서,

상기 반도체 광증폭기는 상기 이득 도파로 상에 적층된 클래드를 더 포함함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 4】

제2항에 있어서,

상기 제1 및 제2 격자는 서로 다른 반사율들을 가짐을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 5】

제1항에 있어서,

상기 이득 도파로는 그 일단부에 상기 반도체 광증폭기의 인접한 끝단으로 갈수록 그 폭이 좁아지거나 넓어지는 모드 변환 영역을 포함함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 6】

제5항에 있어서,

상기 모드 변환 영역과 상기 제1 격자는 접촉하지 않음을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 7】

제5항에 있어서,

상기 모드 변환 영역은 상기 제1 격자의 일부와 접촉함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 8】

제2항에 있어서,

상기 이득 도파로는 그 양단부에 각각 상기 반도체 광증폭기의 해당 끝단으로 갈수록 그 폭이 좁아지거나 넓어지는 모드 변환 영역들을 포함함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 9】

제8항에 있어서,

상기 모드 변환 영역들은 상기 제1 및 제2 격자와 접촉하지 않음을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 10】

제8항에 있어서,

상기 각 모드 변환 영역은 인접한 격자의 일부와 접촉함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 11】

제1항 또는 제2항에 있어서,

상기 반도체 광증폭기는 그 양단에 코팅된 무반사층들을 더 포함함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【청구항 12】

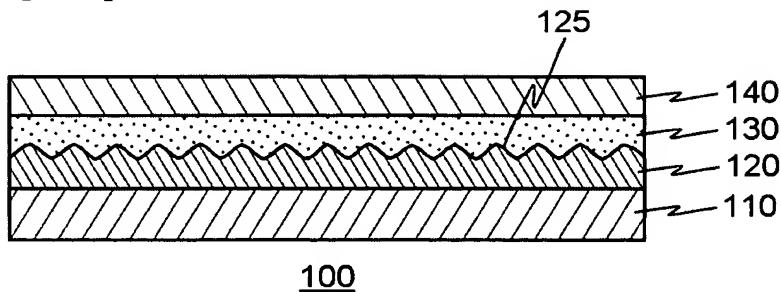
제1항에 있어서, 상기 반도체 광증폭기는,

상기 반도체 광증폭기의 입출력측 일단에 코팅된 무반사층과;

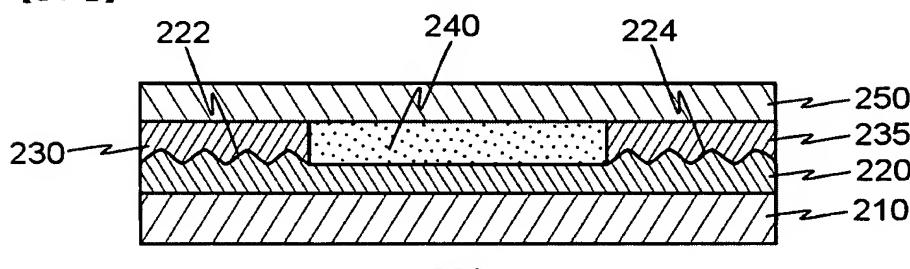
상기 반도체 광증폭기의 타단에 코팅된 고반사층을 더 포함함을 특징으로 하는 이득 고정된 반도체 광증폭기.

【도면】

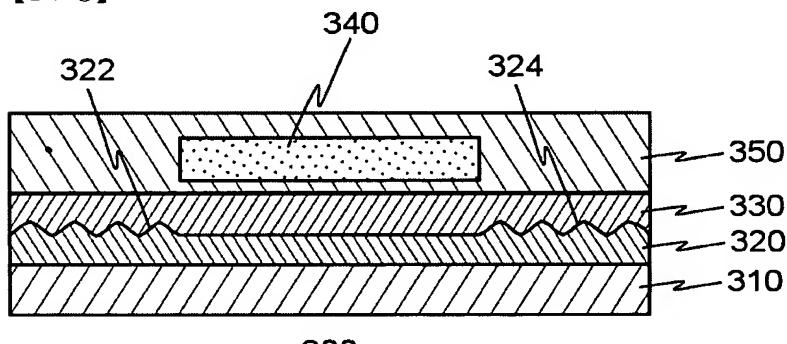
【도 1】

100

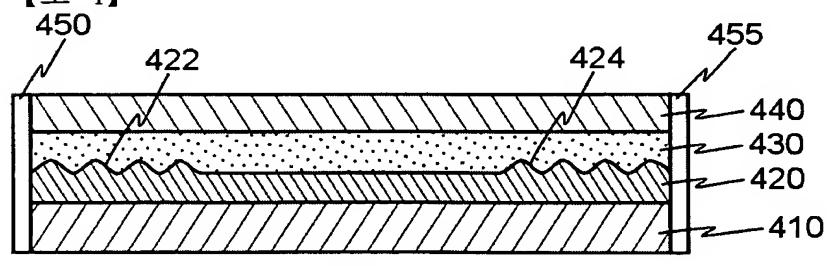
【도 2】

200

【도 3】

300

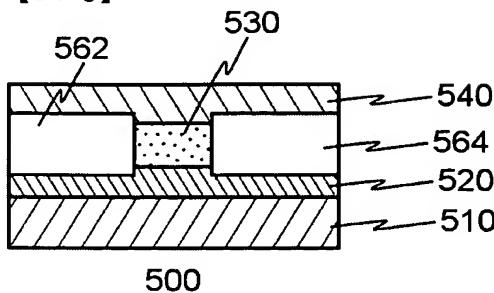
【도 4】

400

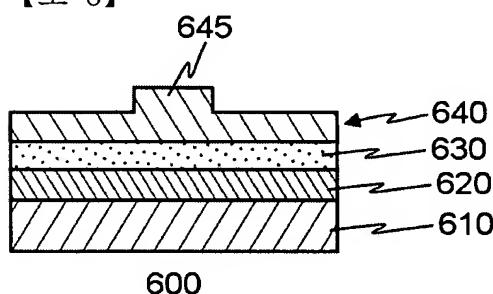
1020030070670

출력 일자: 2003/11/14

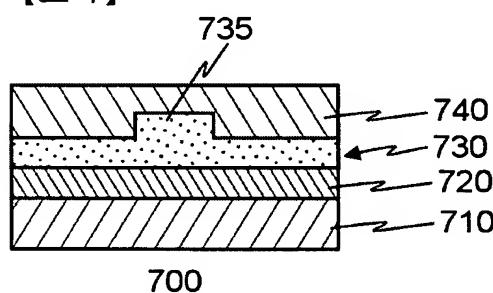
【도 5】



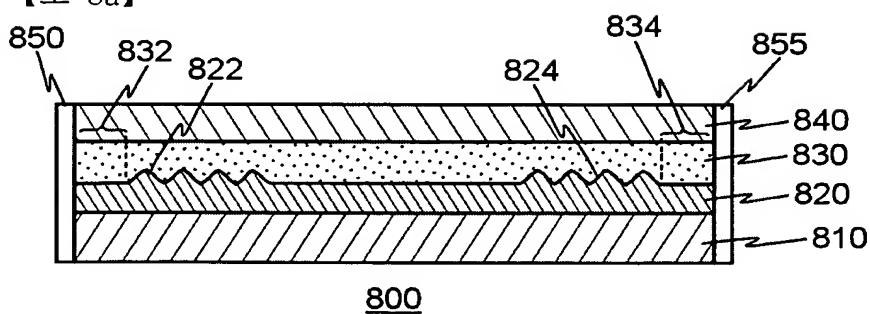
【도 6】



【도 7】



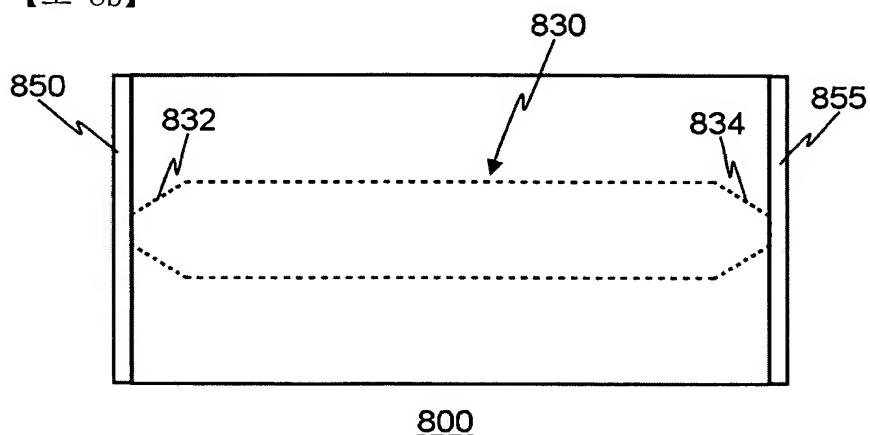
【도 8a】



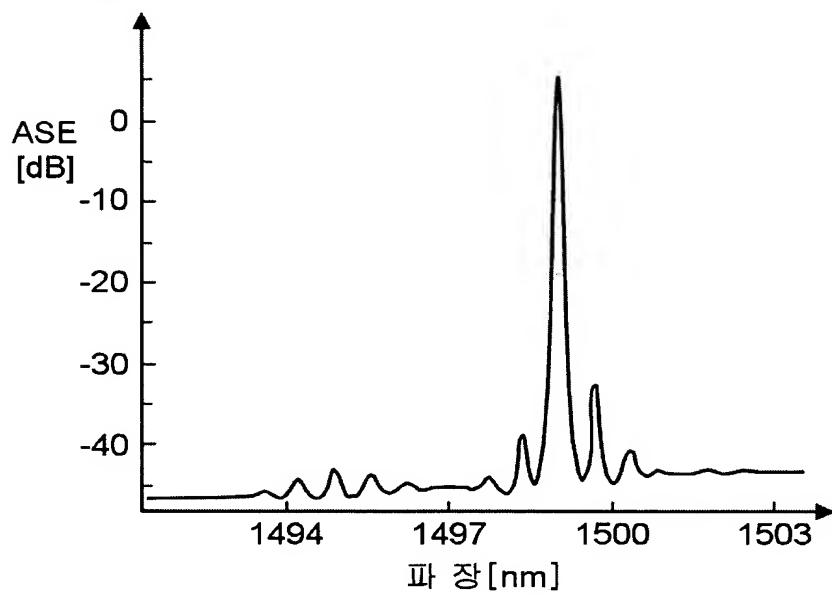
1020030070670

출력 일자: 2003/11/14

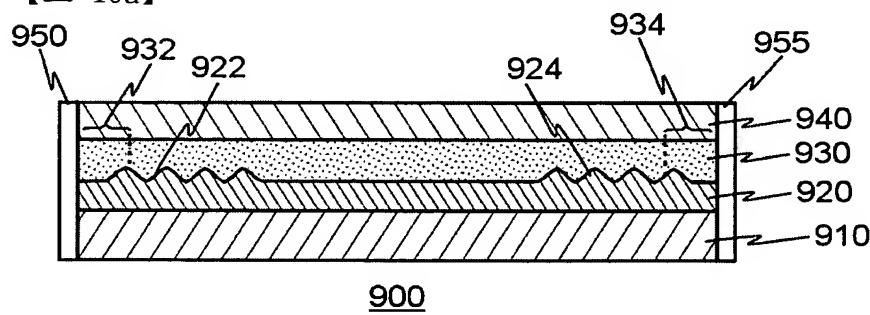
【도 8b】



【도 9】



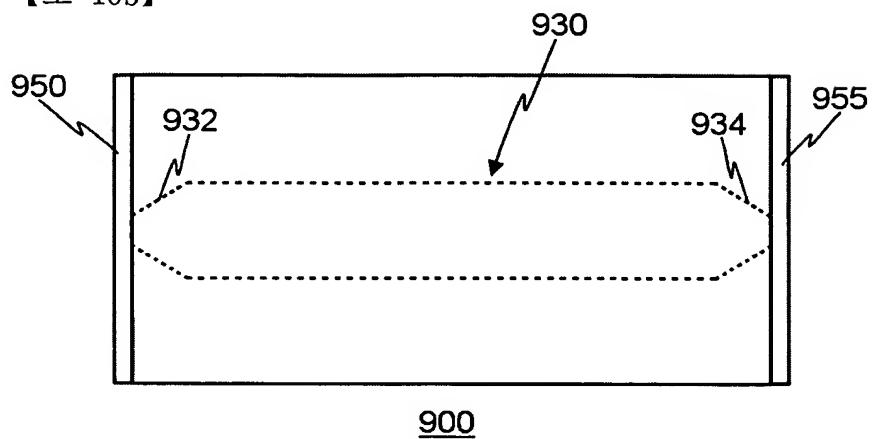
【도 10a】



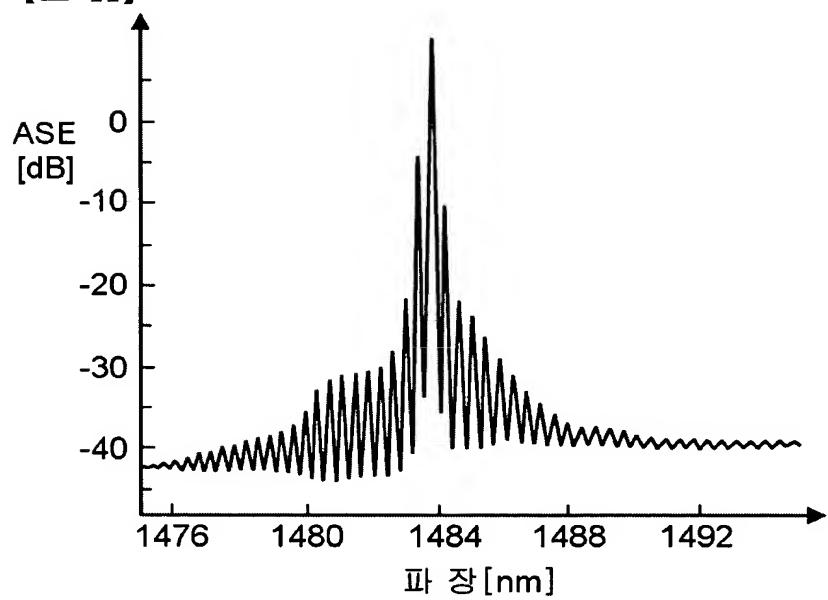
1020030070670

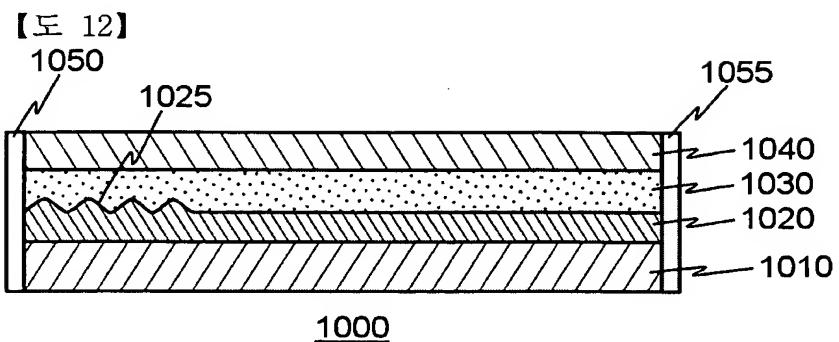
출력 일자: 2003/11/14

【도 10b】

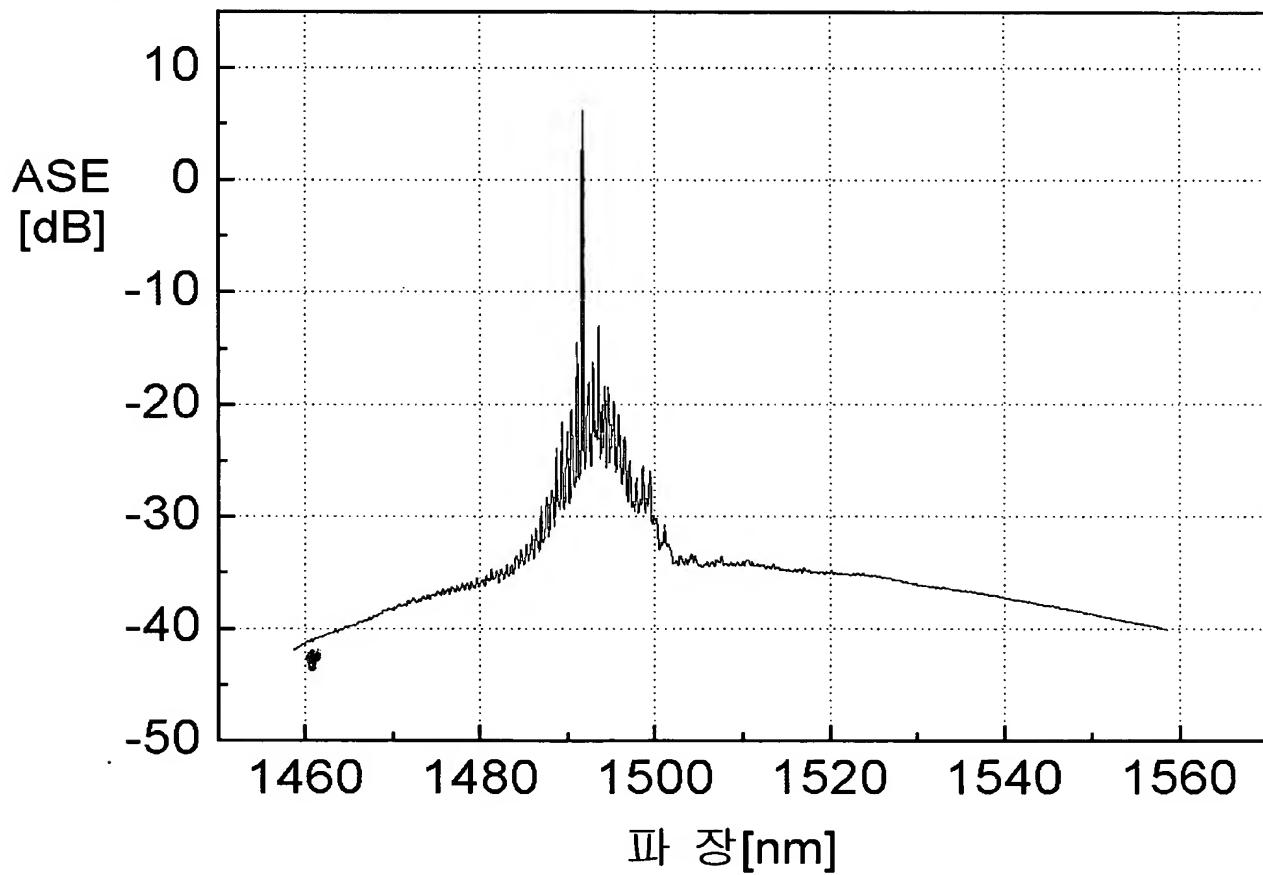


【도 11】





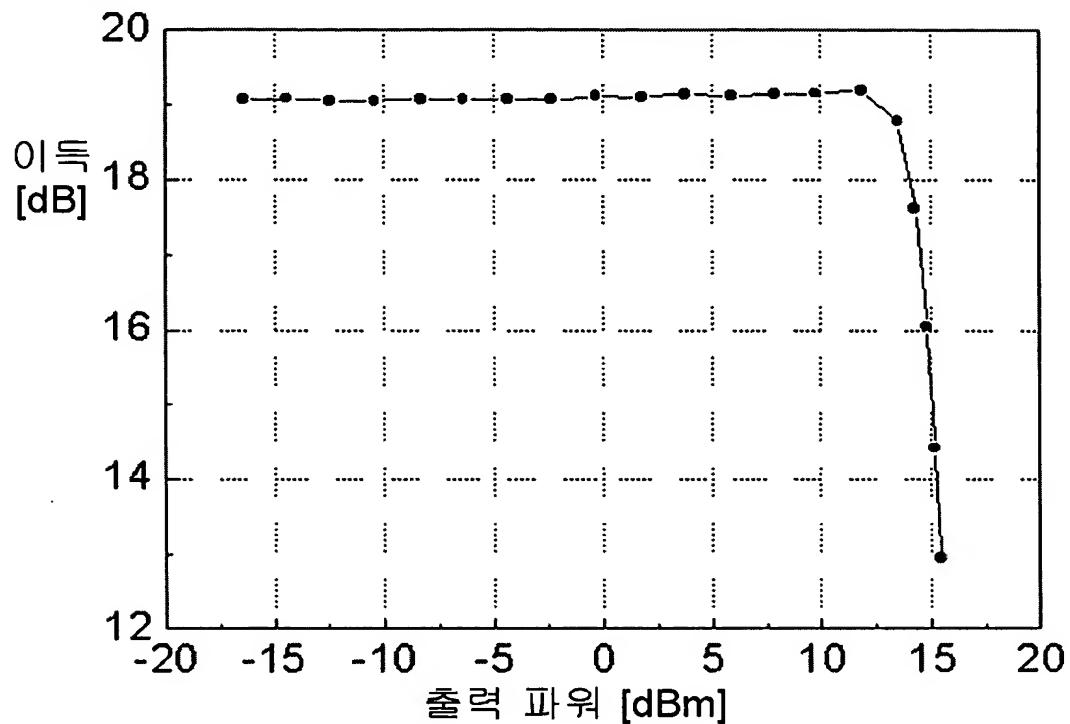
【도 13】



1020030070670

출력 일자: 2003/11/14

【도 14】



【도 15】

